

PATENT  
81784.0300

Express Mail Label No. EV 324 112 013 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshihiro OKADA

Serial No: Not assigned

Filed: February 5, 2004

For: Charge Transfer Element Having  
High Output Sensitivity

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:


Enclosed herewith is a certified copy of Japanese patent application No. 2003-029724 which was filed February 6, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: February 5, 2004

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 6, 2003

Application Number: Patent Application No. 2003-029724  
[ST.10/C] [JP2003-029724]

Applicant(s): SANYO ELECTRIC CO., LTD.

January 13, 2004

Commissioner, Yasuo IMAI  
Japan Patent Office

Priority Certificate No. 2003-3110753



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月    6 日  
Date of Application:

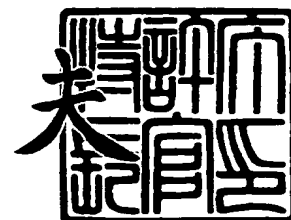
出 願 番 号                      特 願 2 0 0 3 - 0 2 9 7 2 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 2 9 7 2 4 ]

出      願      人                      三 洋 電 機 株 式 有 限 公 司  
Applicant(s):

2 0 0 4 年    1 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 1 0 7 5 3

【書類名】 特許願

【整理番号】 KAB1030001

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 岡田 吉弘

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100075258

    【弁理士】

    【氏名又は名称】 吉田 研二

    【電話番号】 0422-21-2340

【選任した代理人】

    【識別番号】 100096976

    【弁理士】

    【氏名又は名称】 石田 純

    【電話番号】 0422-21-2340

【手数料の表示】

    【予納台帳番号】 001753

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電荷転送素子

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板の一主面に配置される逆導電型の半導体領域と、

前記半導体領域に一方向に延在して配置される一導電型のチャネル領域と、

前記半導体基板上に前記チャネル領域と交差して配置される複数の転送電極と

、

前記半導体領域内で前記チャネル領域に連続して配置される容量と、

前記半導体領域内にソース及びドレインが配置され、ゲートが前記容量に接続される出力トランジスタと、を備え、

前記出力トランジスタが配置される前記半導体領域は、前記半導体基板の深さ方向の濃度プロファイルが前記半導体領域の中間位置で極大値を迎えることを特徴とする電荷転送素子。

【請求項 2】 請求項 1 に記載の電荷転送素子において、

前記出力トランジスタが配置される前記半導体領域は、前記半導体基板の深さ方向に沿って、中間領域よりも表面領域で不純物濃度が低いことを特徴とする電荷転送素子。

【請求項 3】 請求項 1 又は 2 に記載の電荷転送素子において、

前記出力トランジスタに直列接続される負荷トランジスタをさらに備え、

前記負荷トランジスタは、前記出力トランジスタが配置される前記半導体領域内に配置されることを特徴とする電荷転送素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電荷転送素子に関し、詳しくは、出力感度を向上させるための出力部構造に関する。

【0 0 0 2】

【従来の技術】

図7に、フレーム転送方式のCCD固体撮像素子の構成図を示す。フレーム転送方式のCCD固体撮像素子は、撮像部10i、蓄積部10s、水平転送部10h及び出力部10dを含んでなる。撮像部iで生成された情報電荷は、CCDシフトレジスタである電荷転送素子によって蓄積部10sに転送される。情報電荷は蓄積部10sに保持されると共に、1行ずつ水平転送部10hへ転送され、さらに、1画素ずつ水平転送部10hから出力部10dへ転送される。出力部10dは1画素毎の情報電荷量を電圧値に変換し、その電圧値の変化がCCD出力とされる。

#### 【0003】

水平転送部10hのチャネル領域の出力側には、情報電荷を一時的に蓄積するための容量を有するフローティングディフュージョン（容量）領域が設けられ、その容量に蓄積された電荷によって発生する電位の変動を出力信号として取り出す。出力信号の電位は、蓄積された情報電荷をフローティングディフュージョン領域の容量値で割った値となる。このフローティングディフュージョン領域の容量値を小さくすることによって固体撮像素子の出力感度を向上することができる。

#### 【0004】

図8は、出力部10dの等価回路図である。また、図9は、水平転送部10h、出力部10dの構造を示す平面図である。

#### 【0005】

出力部10dは、図8に示すように、3つの出力トランジスタ $T_{d1}$ 、 $T_{d2}$ 、 $T_{d3}$ 及び3つの負荷トランジスタ $T_{a1}$ 、 $T_{a2}$ 、 $T_{a3}$ から基本的に構成される。出力トランジスタ $T_{d1}$ と負荷トランジスタ $T_{a1}$ とは直列接続されて1段目のソースフォロワ回路を構成する。同様に、出力トランジスタ $T_{d2}$ と負荷トランジスタ $T_{a2}$ 及び出力トランジスタ $T_{d3}$ と負荷トランジスタ $T_{a3}$ とが各々直列接続されて2段目及び3段目のソースフォロワ回路を構成する。

#### 【0006】

1段目のソースフォロワ回路における出力トランジスタ $T_{d1}$ のゲートは、フローティングディフュージョン領域FDに接続される。1～3段目のソースフォ

ロウ回路は直列接続され、3段目のソースフォロウ回路における出力トランジスタ  $T_{d3}$  のソースの電位が固体撮像素子の出力信号  $V_{OUT}$  として取り出される。

#### 【0007】

水平転送部 10h のチャンネル領域 12 は、N 型半導体基板に P 型の不純物を拡散して半導体基板の一主面に配置された P ウェル 13 内に形成される。ここで、P ウェル 13 には、接地電位  $V_{GND}$  が印加され、N 型半導体基板には、5 ~ 10 V 程度の電位が印加される。

#### 【0008】

チャンネル領域 12 上のリセットトランジスタ  $T_r$  が形成される素子領域 18 はチャンネル領域 12 に連続して形成される。リセットトランジスタ  $T_r$  のドレイン及びソースとなる領域には N 型の不純物が拡散され、それぞれがフローティングディフュージョン領域  $FD$  及びリセットドレイン領域  $RD$  となる。

#### 【0009】

チャンネル領域 12 上には、絶縁膜を挟んで複数の転送電極 14a, 14b が互いに平行に配列される。さらに、出力制御電極 16 が転送電極 14a, 14b と平行に配置される。転送電極 14a, 14b には、転送クロック  $\phi_H$  が印加され、チャンネル領域 12 に沿って情報電荷が出力制御電極 16 に向かって転送される。出力制御電極 16 には、一定の出力制御電圧  $V_{OG}$  が印加され、出力制御電極 16 の下に形成されるチャンネルを通じて情報電荷がフローティングディフュージョン領域  $FD$  に出力される。

#### 【0010】

素子領域 18 には、フローティングディフュージョン領域  $FD$  及びリセットドレイン領域  $RD$  に跨るように絶縁膜を介してリセット電極 20 が配置されてリセットトランジスタ  $T_r$  が形成される。また、フローティングディフュージョン領域  $FD$  にはソース配線 22 が接続され、リセットドレイン領域  $RD$  にはドレイン配線 24 が接続される。

#### 【0011】

出力制御電圧  $V_{OG}$  によってフローティングディフュージョン領域  $FD$  に出力



された情報電荷は、フローティングディフュージョン領域FDに蓄積されて電圧値に変換される。フローティングディフュージョン領域FDの電圧値はソース配線22によって取り出される。

#### 【0012】

また、ドレイン配線24にドレイン電圧 $V_{RD}$ を印加しておき、リセット電極20にリセットクロック $\phi_R$ を印加することによってリセットトランジスタ $T_r$ をオンにし、フローティングディフュージョン領域FDに蓄積された情報電荷を、リセットドレイン領域RDを介して、ドレイン配線24に排出することができる。

#### 【0013】

半導体基板には1段目のソースフォロワ回路が形成される素子領域26が素子領域18から所定の距離をおいて設けられる。さらに、2段目のソースフォロワ回路が形成される素子領域28及び3段目のソースフォロワ回路が形成される素子領域30が他の素子領域と互いに所定の距離をおいて設けられる。

#### 【0014】

素子領域26, 28, 30は、N型半導体基板の一主面にP型の不純物を拡散させたPウェルで形成される。素子領域26にはN型の不純物が拡散されて、出力トランジスタ $T_{d1}$ のドレイン領域 $D_{d1}$ とソース領域 $S_{d1}$ 及び負荷トランジスタ $T_{a1}$ のドレイン領域 $D_{a1}$ とソース領域 $S_{a1}$ とが形成される。同様に、素子領域28, 30にもN型の不純物が拡散されて、ドレイン領域 $D_{d2}$ ,  $D_{a2}$ ,  $D_{d3}$ ,  $D_{a3}$ 及びソース領域 $S_{d2}$ ,  $S_{a2}$ ,  $S_{d3}$ ,  $S_{a3}$ が形成される。

#### 【0015】

ソース配線22は素子領域26に向かって延伸され、絶縁膜を介してドレイン領域 $D_{d1}$ とソース領域 $S_{d1}$ とを跨ぐように配置される。これが、出力トランジスタ $T_{d1}$ のゲート電極となる。出力トランジスタ $T_{d1}$ のソース領域 $S_{d1}$ と負荷トランジスタ $T_{a1}$ のドレイン領域 $D_{a1}$ とはソース配線32によって接続される。さらに、ソース配線32は素子領域28に向かって延伸され、絶縁膜を介してドレイン領域 $D_{d2}$ とソース領域 $S_{d2}$ とを跨ぐように配置される。こ

れが、出力トランジスタ  $T_{d2}$  のゲート電極となる。同様に、出力トランジスタ  $T_{d2}$  のソース配線 34 も配置され、ソース領域  $S_{d2}$ 、ドレイン領域  $D_{a2}$  及び出力トランジスタ  $T_{d3}$  のゲート電極が接続される。ソース領域  $S_{d3}$  とドレイン領域  $D_{a3}$  とはソース配線 36 によって接続され、そのソース配線 36 は固体撮像素子の出力信号  $V_{OUT}$  が取り出し配線となる。

#### 【0016】

負荷トランジスタ  $T_{a1}$ ,  $T_{a2}$ ,  $T_{a3}$  のドレイン領域  $D_{a1}$ ,  $D_{a2}$ ,  $D_{a3}$  とソース領域  $S_{a1}$ ,  $S_{a2}$ ,  $S_{a3}$  には絶縁膜を介してゲート電極 38 が配置され、共通のゲート電位  $V_{GG}$  が印加される。また、ドレイン領域  $D_{d1}$ ,  $D_{d2}$ ,  $D_{d3}$  はドレイン配線 40 によって接続されて共通の電源電位  $V_{DD}$  が印加され、ソース領域  $S_{a1}$ ,  $S_{a2}$ ,  $S_{a3}$  は接地配線 42 によって接続されて接地電位  $V_{GND}$  に維持される。

#### 【0017】

##### 【特許文献1】

特開 2000-91557 号公報

#### 【0018】

##### 【発明が解決しようとする課題】

上記のような水平転送部 10h、出力部 10d のような電荷転送素子の構成において、1 段目の出力トランジスタ  $T_{d1}$  における素子領域 26 の P ウェルを接地電位  $V_{GND}$  に固定すると、ソース配線 32 の電位  $V_{BS}$  の変動に伴って、数式 (1) で表されるように、出力トランジスタ  $T_{d1}$  の閾値電圧  $V_{th}$  が変動するバックゲート効果が生ずる。このバックゲート効果は、出力トランジスタ  $T_{d1}$  の利得の変動を引き起こす。その結果、例えば、固体撮像素子の出力が不安定となる問題が生ずる。

#### 【0019】

##### 【数1】

$$\Delta V_{th} \propto \sqrt{N_a \cdot V_{BS}} \quad (1)$$

$N_a$  : P ウェルの表面濃度  
 $V_{BS}$  : ソース電位

一方、バックゲート効果を抑制するために、出力トランジスタ  $T_{d1}$  の素子領域 26 の P ウェルとソース領域  $S_{d1}$  とを接続して同電位に固定する方法が考えられる。しかしながら、この方法では、P ウェル 13 と素子領域 26 の P ウェルとの間に電位差が生じて両領域間が短絡し易くなる。従って、両領域間の距離を短絡が生じない程度まで十分に広げなくてはならず、結果として固体撮像素子のサイズを大きくしてしまう問題がある。

#### 【0020】

また、短絡を防止するために両領域間の距離を大きくすると、フローティングディフュージョン領域  $FD$  と出力トランジスタ  $T_{d1}$  のゲートとを繋ぐソース配線 22 が長くなり配線容量が増大する。その結果、ソース配線 22 の配線容量とフローティングディフュージョン領域  $FD$  の容量とが足し合わされ、同じ情報電荷を蓄積した場合における電位の変化が小さくなる。その結果、例えば、出力部 10d の利得が低下したり、固体撮像素子の動作速度が低下したりする問題を生ずる。

#### 【0021】

本発明は、上記従来技術の問題を鑑み、少なくとも上記課題の 1 つを解決すべく、出力部の構造を改良した電荷転送素子を提供することを目的とする。

#### 【0022】

##### 【課題を解決するための手段】

上記課題を解決できる本発明は、一導電型の半導体基板の一主面に配置される逆導電型の半導体領域と、前記半導体領域に一方向に延在して配置される一導電型のチャネル領域と、前記半導体基板上に前記チャネル領域と交差して配置される複数の転送電極と、前記半導体領域内で前記チャネル領域に連続して配置される容量と、前記半導体領域内にソース及びドレインが配置され、ゲートが前記容量に接続される出力トランジスタと、を備え、前記出力トランジスタが配置される前記半導体領域は、前記半導体基板の深さ方向の濃度プロファイルが前記半導体領域の中間位置で極大値を迎えることを特徴とする。

#### 【0023】

このとき、前記出力トランジスタが配置される前記半導体領域は、前記半導体

基板の深さ方向に沿って、中間領域よりも表面領域で不純物濃度が低いことが好適である。

#### 【0024】

さらに、前記出力トランジスタに直列接続される負荷トランジスタを備え、前記負荷トランジスタは、前記出力トランジスタが配置される前記半導体領域内に配置されることも好適である。

#### 【0025】

##### 【発明の実施の形態】

本発明の実施の形態における電荷転送素子は固体撮像素子に含まれる。以下に、図を参照して詳細に説明する。

#### 【0026】

##### <固体撮像素子の構成>

本発明の実施の形態における固体撮像素子は、図7に示した、フレーム転送方式のCCD固体撮像素子と同様の構成を備える。

#### 【0027】

図2に、本実施の形態の固体撮像素子における出力部10dの等価回路を示す。出力部10dは、従来技術と同様に、3つの出力トランジスタ $T_{d1}$ 、 $T_{d2}$ 、 $T_{d3}$ 及び3つの負荷トランジスタ $T_{a1}$ 、 $T_{a2}$ 、 $T_{a3}$ から基本的に構成される3段に直列接続されたソースフォロワ回路を含んでなる。

#### 【0028】

図1は、出力部10dの構造を示す平面図である。水平転送部10hのチャネル領域12は、N型半導体基板の一主面にP型の不純物を拡散したPウェル50内に形成される。Pウェル50は、撮像部10i、蓄積部10sが形成されるPウェルと連続して形成されており、接地電位 $V_{GND}$ が印加されている。本実施の形態では、Pウェル50が出力トランジスタ $T_{d1}$ の素子領域52にまで延伸されて形成される。

#### 【0029】

水平転送部10hと連続して形成される素子領域54にはN型の不純物が拡散され、それぞれがリセットトランジスタ $T_r$ のフローティングディフュージョン

領域FD及びリセットドレイン領域RDとなる。

### 【0030】

チャンネル領域12上には、絶縁膜を挟んで転送電極14a、14b及び出力制御電極16が互いに平行に配置される。また、リセットトランジスタ $T_r$ のリセット電極20が絶縁膜を介してフローティングディフュージョン領域FD及びリセットドレイン領域RDとに跨って配置される。さらに、フローティングディフュージョン領域FDにはソース配線22が接続され、リセットドレイン領域RDにはドレイン配線24が接続される。

### 【0031】

Pウェル50と連続する素子領域52には、さらにN型の不純物が拡散されて、出力トランジスタ $T_{d1}$ のドレイン領域 $D_{d1}$ 及びソース領域 $S_{d1}$ が形成される。さらに、ドレイン領域 $D_{d1}$ とソース領域 $S_{d1}$ との間のPウェルの表面近傍にN型の不純物を低濃度で注入したチャンネルドープ領域56が形成される。

### 【0032】

リセットトランジスタ $T_r$ のソース配線22は素子領域52に向かって延伸され、ドレイン領域 $D_{d1}$ とソース領域 $S_{d1}$ とを跨ぐように絶縁膜を介して配置されて出力トランジスタ $T_{d1}$ のゲート電極となる。

### 【0033】

半導体基板上には、さらに、1段目の負荷トランジスタ $T_{a1}$ が形成される素子領域58、2段目のソースフォロワ回路が形成される素子領域60及び3段目のソースフォロワ回路が形成される素子領域62が他の素子領域と互いに所定の距離をおいて設けられる。素子領域58、61、63は、N型半導体基板の一主面にP型の不純物を拡散させたPウェルで形成され、各Pウェルに対して接地電位 $V_{GND}$ が印加される。素子領域58、61、63にはN型の不純物が拡散されて、負荷トランジスタ $T_{a1}$ 、 $T_{a2}$ 、 $T_{a3}$ を構成するドレイン領域 $D_{a2}$ 、 $D_{a3}$ 及びソース領域 $S_{a1}$ 、 $S_{a2}$ 、 $S_{a3}$ が形成される。素子領域60、62は、素子領域61、63に隣接して配置され、所定の箇所にP型及びN型の不純物が注入されて、出力トランジスタ $T_{d2}$ 、 $T_{d3}$ を構成するPウェル、ドレイン領域 $D_{d2}$ 、 $D_{d3}$ 及びソース領域 $S_{d2}$ 、 $S_{d3}$ が形成される。この素

子領域 60, 62 は、P ウェル内に P<sup>+</sup> 領域が形成され、この P<sup>+</sup> 領域とソース領域とが接続されて P ウェルの電位がソース電位に固定される。

#### 【0034】

出力トランジスタ  $T_{d1}$ ,  $T_{d2}$ ,  $T_{d3}$  及び負荷トランジスタ  $T_{a1}$ ,  $T_{a2}$ ,  $T_{a3}$  とを接続する各配線は従来と同様に配置される。すなわち、出力トランジスタ  $T_{d1}$  のソース領域  $S_{d1}$  と負荷トランジスタ  $T_{a1}$  のドレイン領域  $D_{a1}$  とはソース配線 32 によって接続され、さらに、ソース配線 32 は素子領域 28 に向かって延伸されてドレイン領域  $D_{d2}$  とソース領域  $S_{d2}$  とを跨ぐように絶縁膜を介して配置される。同様に、ソース配線 34 がソース領域  $S_{d2}$  及びドレイン領域  $D_{a2}$  を接続し、出力トランジスタ  $T_{d3}$  のゲート電極を兼ねる。ソース領域  $S_{d3}$  とドレイン領域  $D_{a3}$  とはソース配線 36 によって接続され、そのソース配線 36 は固体撮像素子の出力信号  $V_{OUT}$  の取り出し配線となる。また、負荷トランジスタ  $T_{a1}$ ,  $T_{a2}$ ,  $T_{a3}$  には絶縁膜を介してゲート電極 38 が配置される。また、ドレイン領域  $D_{d1}$ ,  $D_{d2}$ ,  $D_{d3}$  はドレイン配線 40、ソース領域  $S_{a1}$ ,  $S_{a2}$ ,  $S_{a3}$  は接地配線 42 によって接続される。

#### 【0035】

図 3 に、本実施の形態の固体撮像素子における出力トランジスタ  $T_{d1}$  の X-X 間を切断した横断面構造を示す。また、図 4 に、図 3 の Y-Y 深さ方向の実効的な不純物濃度プロファイルを示す。

#### 【0036】

出力トランジスタ  $T_{d1}$  が形成される素子領域 52 は、水平転送部 10h のチャネル領域 12 と共通の P ウェル 50 から構成され、その P ウェル 50 には N 型の不純物が高濃度で添加されてドレイン領域  $D_{d1}$  及びソース領域  $S_{d1}$  が形成される。そのドレイン領域  $D_{d1}$  とソース領域  $S_{d1}$  との間の表面近傍には N 型の不純物が注入されることによってカウンタードーピングされ、出力トランジスタ  $T_{d1}$  のゲート領域にチャネルドープ領域 56 が形成される。これにより、出力トランジスタ  $T_{d1}$  が配置される P ウェル 50 は、図 4 に示すように、基板深さ方向に沿って、中間領域 b よりも表面領域 a で不純物濃度が低く設定され、この結果、基板深さ方向の不純物プロファイルは、P ウェル 50 中の中間位置 b で

極大値を迎える。

#### 【0037】

なお、出力部10dの構造は、図5の平面図に示すように、チャネル領域12のPウェル50を負荷トランジスタ $T_{a1}$ 、 $T_{a2}$ 、 $T_{a3}$ のPウェルと共通化する構造としても良い。

#### 【0038】

##### <固体撮像素子の製造方法>

図6は、本実施の形態の固体撮像素子における出力部10dの形成するプロセスフロー図である。以下、図6を参照して固体撮像素子の出力部10dの製造方法について説明する。

#### 【0039】

N型の半導体基板70に酸化膜72を成膜し、所定のマスクパターンを用いてPウェル50が形成される領域に開口部を設ける(図6(a))。この酸化膜72が次のイオン注入工程のマスクとして利用される。また、酸化膜72は最終的に素子を分離するフィールド酸化膜となる。

#### 【0040】

酸化膜72をマスクとして、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)又はインジウム(In)等のP型の不純物をイオン注入して拡散させることによって半導体基板70にPウェル50を形成する(図6(b))。例えば、P型の不純物を数100keVのエネルギーにおいて $10^{12} \sim 10^{13} / \text{cm}^2$ の面密度で注入する。

#### 【0041】

次に、酸化膜72の開口部に新たな酸化膜74を成膜し、所定のマスクパターンを用いて出力トランジスタ $T_{d1}$ のドレイン領域 $D_{d1}$ 及びソース領域 $S_{d1}$ となる領域に開口部を設ける(図6(c))。この酸化膜74は、次のイオン注入工程においてマスクとして用いられる。

#### 【0042】

酸化膜74をマスクとして、リン(P)、砒素(As)又はアンチモン(Sb)等のN型の不純物をイオン注入して拡散させることによってPウェル50にド

レイン領域  $D_{d1}$  及びソース領域  $S_{d1}$  を形成する (図 6 (d))。例えば、N 型の不純物を数  $10\text{ keV}$  程度のエネルギーにおいて  $10^{15} \sim 10^{16} / \text{cm}^2$  の面密度で注入する。

#### 【0043】

上記の図 6 (a) ~ (d) の工程は、リセットトランジスタ  $T_r$  が形成される素子領域 54 や他のトランジスタが形成される素子領域 58, 60, 62 に対しても同時に行うことができる。これによって、素子領域 58, 60, 62 の P ウェル並びにフローティングディフュージョン領域  $FD$ 、リセットドレイン領域  $R_D$ 、ドレイン領域  $D_{a1}$ ,  $D_{d2}$ ,  $D_{a2}$ ,  $D_{d3}$ ,  $D_{a3}$  及びソース領域  $S_{a1}$ ,  $S_{d2}$ ,  $S_{a2}$ ,  $S_{d3}$ ,  $S_{a3}$  を形成することができる。

#### 【0044】

次に、酸化膜 74 を取り除き、新たに酸化膜 76 を成膜し、所定のマスクパターンを用いて出力トランジスタ  $T_{d1}$  のゲート領域 78 (ドレイン領域  $D_{d1}$  及びソース領域  $S_{d1}$  の間) となる領域に開口部を設ける (図 6 (e))。開口部はリセットトランジスタ  $T_r$  や他の出力トランジスタ及び負荷トランジスタ等のゲート領域には設けない。この酸化膜 76 は、次のイオン注入工程においてマスクとして用いられる。

#### 【0045】

酸化膜 76 をマスクとして、P ウェル 50 の表面領域にリン (P)、砒素 (As) 又はアンチモン (Sb) 等の N 型の不純物をイオン注入して拡散させることによってチャネルドープ領域 56 を形成する (図 6 (f))。例えば、N 型の不純物を数  $10\text{ keV}$  程度のエネルギーにおいて  $10^{12} \sim 10^{13} / \text{cm}^2$  の面密度で注入する。

#### 【0046】

次に、出力トランジスタ  $T_{d1}$  以外のトランジスタにおけるゲート領域の酸化膜 76 にも開口部を設け、各ゲート領域にゲート酸化膜 80 を成膜する。さらに、所定のマスクパターンを用いてポリシリコン層や金属膜を成膜して各配線を行う (図 6 (g))。

#### 【0047】



以上のように、本実施の形態の固体撮像素子における出力部 10d を形成することができる。ただし、これに限られるものではなく、他の既存の半導体製造方法を用いても良い。また、本実施の形態においては、固体撮像素子の出力部 10d に限定して説明を行ったが、上記の工程の一部を固体撮像素子の他の領域の製造工程と共通化しても良いことはいうまでもない。

#### 【0048】

以上説明したように、本実施の形態の固体撮像素子では、P ウェル 50 の表面領域の実効的な P 型の不純物濃度を低下させることによって、チャネル領域 12 及び素子領域 52 を含む P ウェル 50 を接地電位  $V_{GND}$  に固定した場合にも、出力トランジスタ  $T_{d1}$  のバックゲート効果を抑制することができる。すなわち、数式 (1) に示したように、出力トランジスタ  $T_{d1}$  の閾値電圧  $V_{th}$  は出力トランジスタ  $T_{d1}$  のゲート領域における P ウェル 50 の表面領域の実効的な P 型の不純物濃度  $N_a$  の平方根とソース配線 32 の電位  $V_{BS}$  の平方根に比例するため、実効的な不純物濃度  $N_a$  を低下させることによって電位  $V_{BS}$  の変化に伴う閾値電圧  $V_{th}$  の変動を抑えることができる。

#### 【0049】

従って、出力トランジスタ  $T_{d1}$  の素子領域 52 の P ウェルとソース領域  $S_{d1}$  とを接続して同電位に固定することなく、バックゲート効果を抑制することができる。

#### 【0050】

さらに、P ウェル 50 と素子領域 52 との短絡が生じ難くなるため、P ウェル 50 と素子領域 52 との距離を短くすることができる。それに伴って、ソース配線 22 も短くなり、配線容量を低く抑えることができる。

#### 【0051】

これらの作用によって、例えば、出力部 10d の利得を高く保つと共に、固体撮像素子のサイズを小さくすることができる。

#### 【0052】

#### 【発明の効果】

本発明によれば、電荷転送素子の出力部におけるトランジスタのバックゲート

効果を抑制することができる。その結果、固体撮像素子のサイズの大型化を伴うことなく、出力部の電圧増幅利得を高くできる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における固体撮像素子の出力部の等価回路図である。

【図 2】 本発明の実施の形態における固体撮像素子の出力部の平面構造図である。

【図 3】 本発明の実施の形態における固体撮像素子の出力部の横断面図である。

【図 4】 本発明の実施の形態における固体撮像素子の出力トランジスタの実効的な不純物濃度の分布を示す図である。

【図 5】 本発明の実施の形態における固体撮像素子の出力部の変形例を示す横断面図である。

【図 6】 本発明の実施の形態における固体撮像素子の製造工程のプロセスフロー図である。

【図 7】 固体撮像素子の構成の概略を示すブロック図である。

【図 8】 従来の固体撮像素子の出力部の等価回路図である。

【図 9】 従来の固体撮像素子の出力部の平面構造図である。

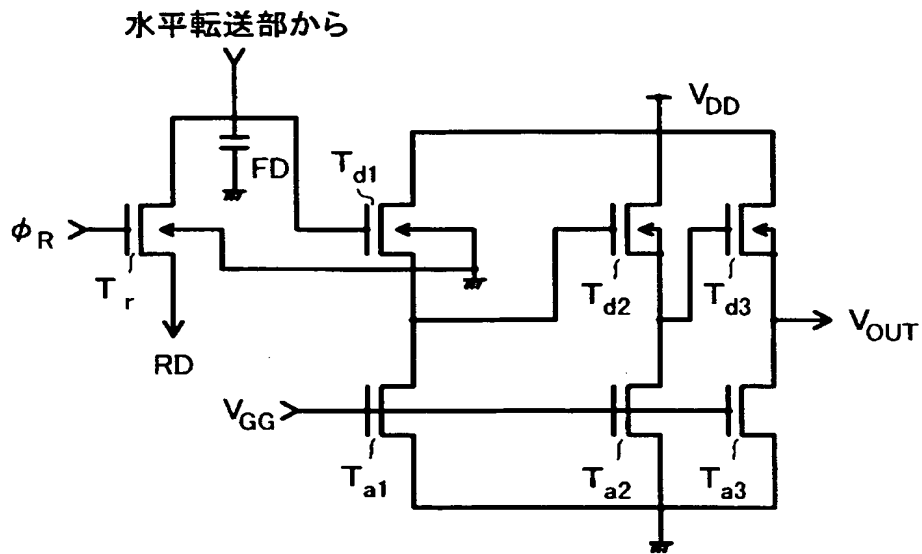
【符号の説明】

10d 出力部、10i 撮像部、10h 水平転送部、10s 蓄積部、12 チャンネル領域、13, 50 Pウェル、14a, 14b 転送電極、16 出力制御電極、18, 26, 28, 30 素子領域、20 リセット電極、22, 32, 34, 36 ソース配線、24 ドレイン配線、38 ゲート電極、40 ドレイン配線、42 接地配線、52, 54, 58, 61, 62, 63, 64, 66 素子領域、56 チャンネルドープ領域、70 半導体基板、72, 74, 76 酸化膜、78 ゲート領域、80 ゲート酸化膜、Dd1, Da1, Dd2, Da2, Dd3, Da3 ドレイン領域、Sd1, Sa1, Sd2, Sa2, Sd3, Sa3 ソース領域、FD フローティングディフュージョン領域、RD リセットドレイン領域、Ta1, Ta2, Ta3 負荷トランジスタ

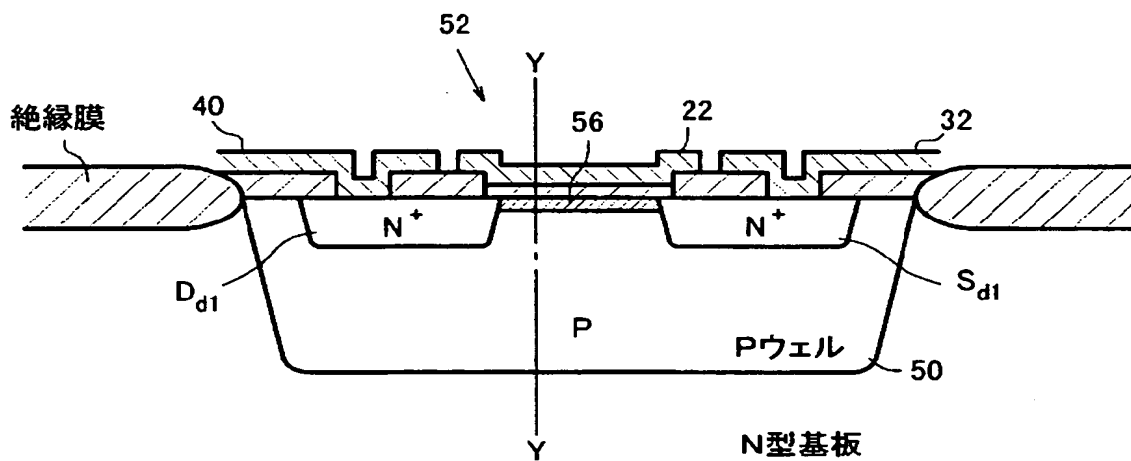
、  $T_{d1}$  ,  $T_{d2}$  ,  $T_{d3}$  出力トランジスタ、  $T_r$  リセットトランジスタ。



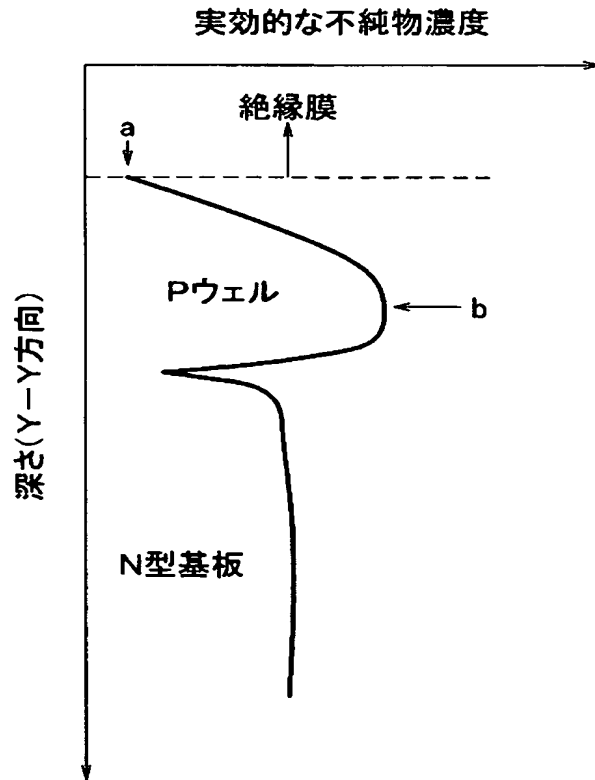
【図 2】



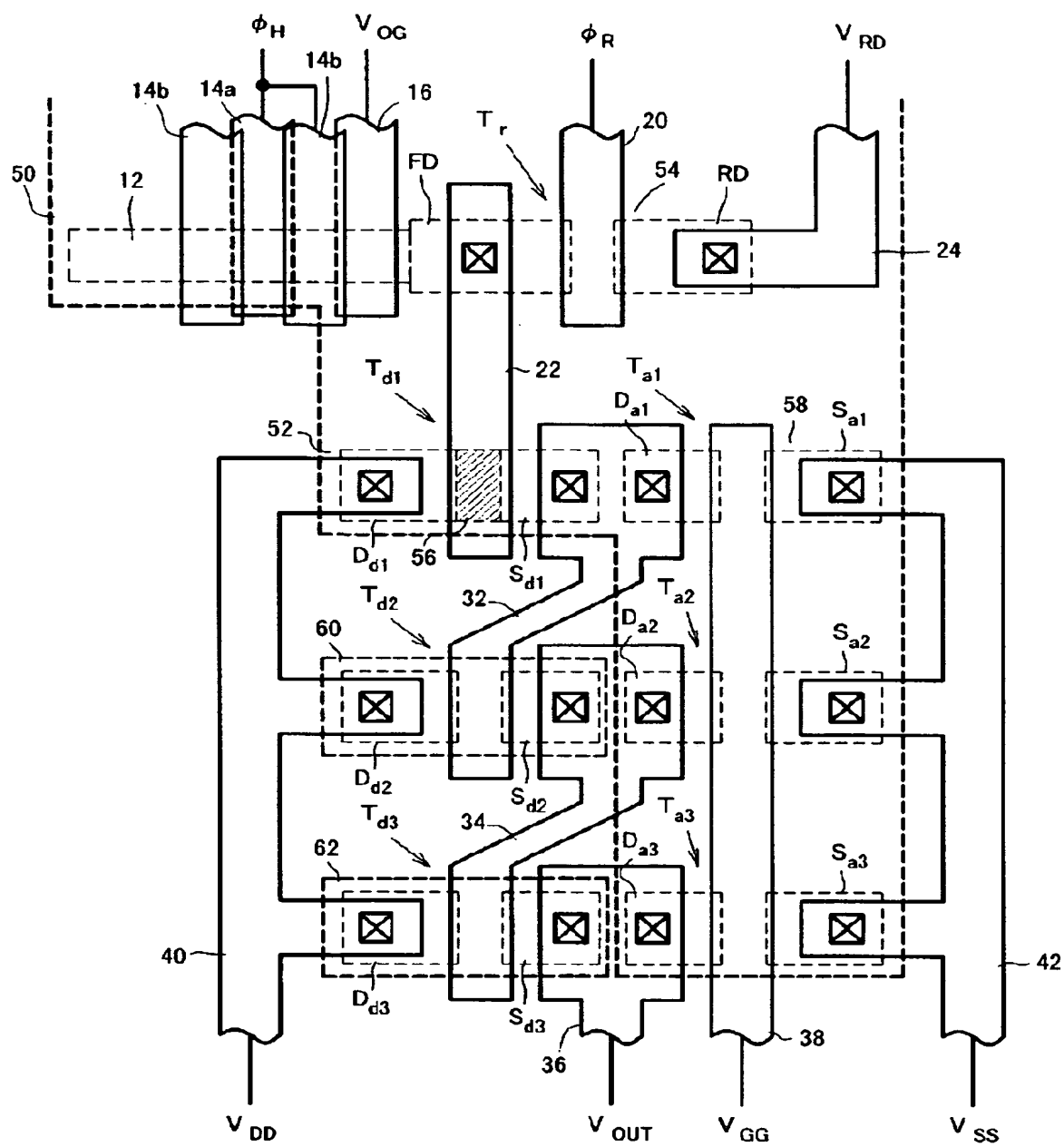
【図 3】



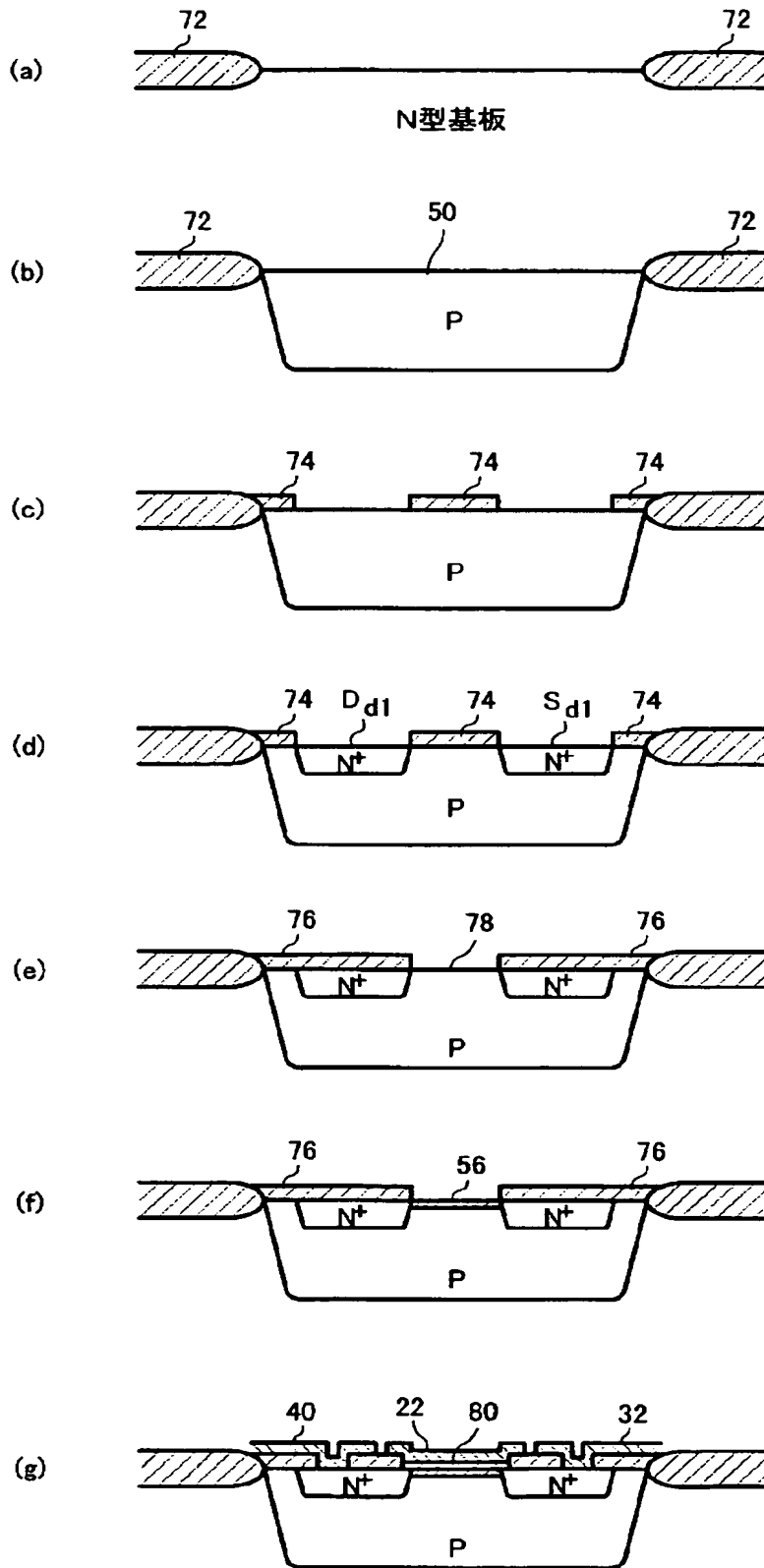
【図 4】



【図 5】

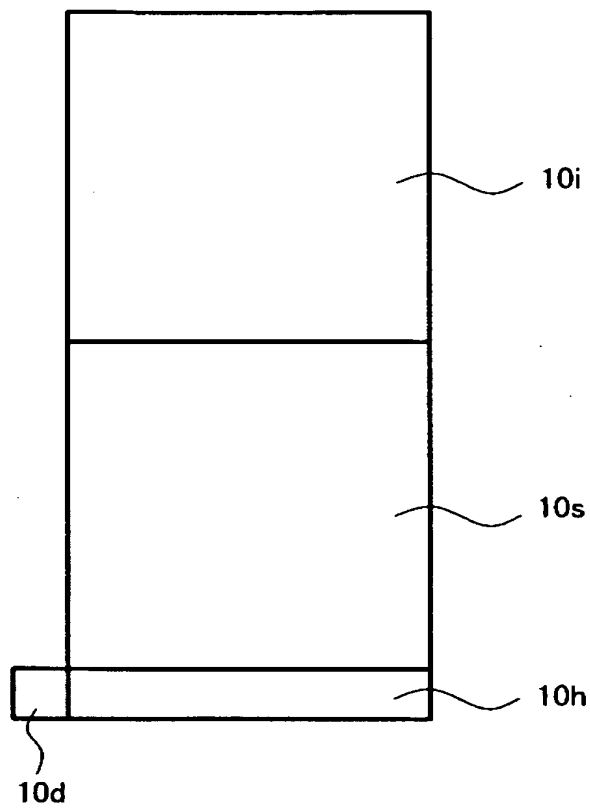


【図 6】

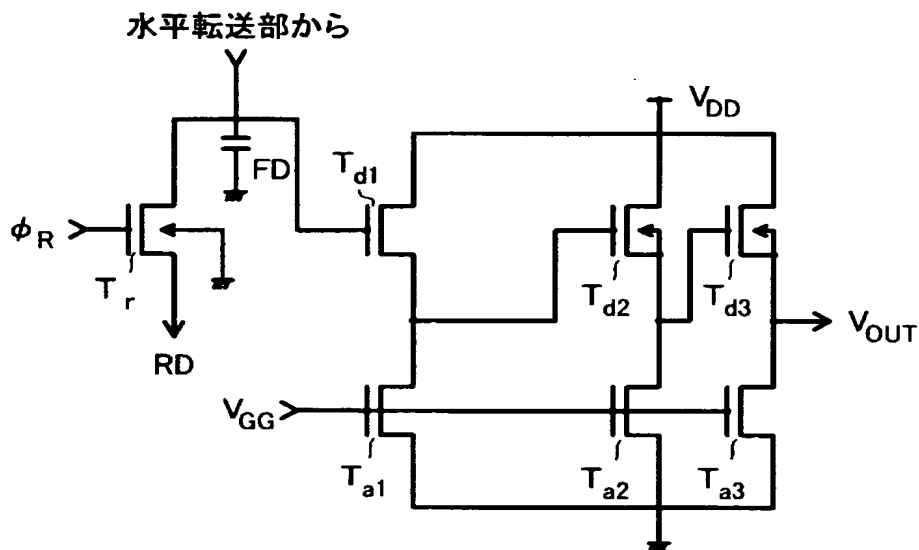




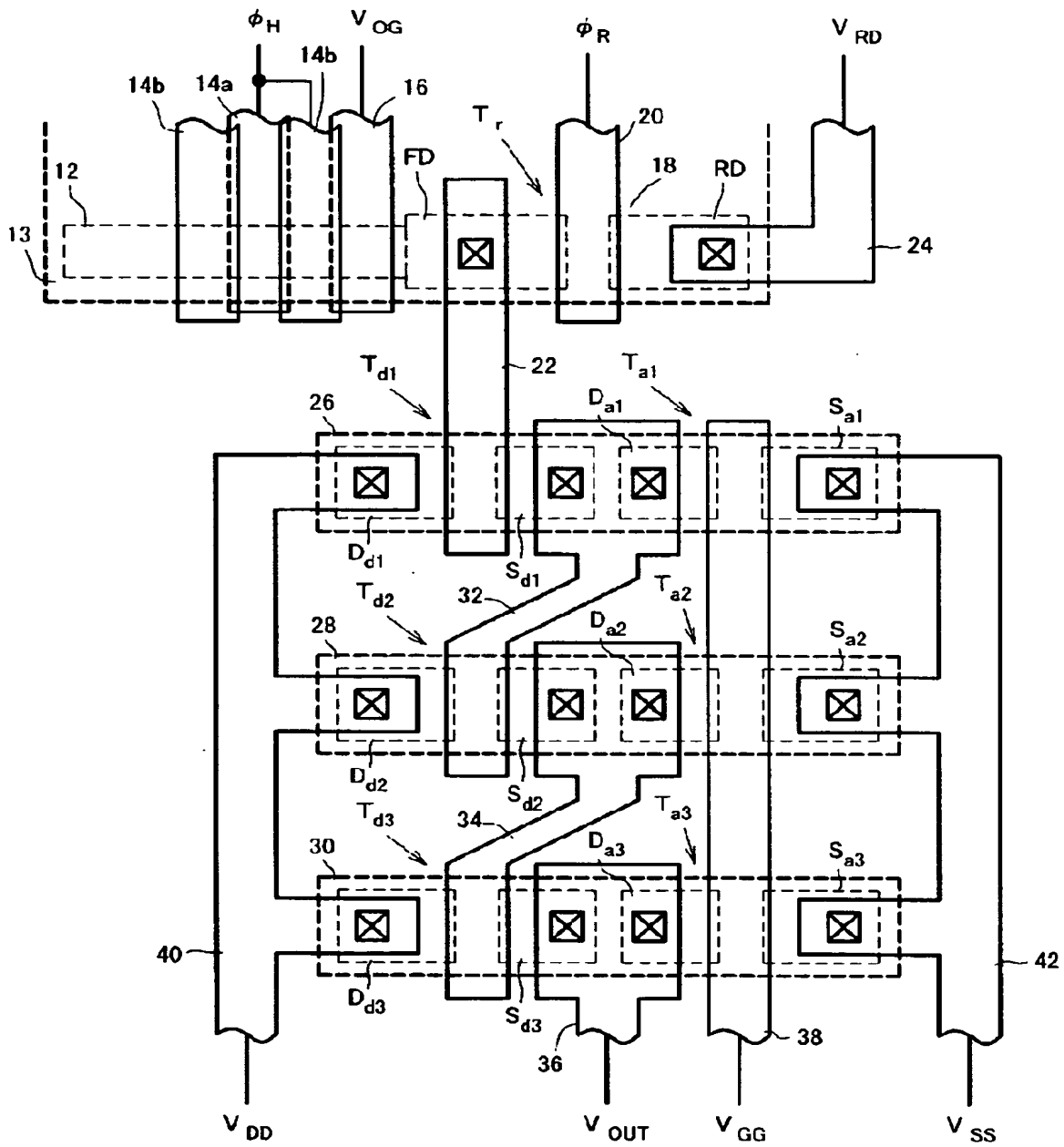
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 バックゲート効果を抑制できる出力部の構造を有する電荷転送素子に関する。

【解決手段】 チャネル領域 12、チャネル領域 12 に連続として配置された第 1 の素子領域 18 と、第 1 の素子領域 18 にソース領域及びドレイン領域が形成されたりセットトランジスタ  $T_r$  と、第 2 の素子領域 52 と、第 2 の素子領域 52 にソース領域  $S_{d1}$  及びドレイン領域  $D_{d1}$  が形成されると共に、ゲート電極がリセットトランジスタのソース領域と接続される第 1 のトランジスタ  $T_{d1}$  とを備える固体撮像素子において、第 1 のトランジスタ  $T_{d1}$  のソース領域  $S_{d1}$  とドレイン領域  $D_{d1}$  との間において、第 2 の素子領域 52 の表面領域の実効的な不純物濃度が、第 2 の素子領域 52 における半導体基板と第 2 の素子領域 52 との境界領域の実効的な不純物濃度よりも低くすることによって上記課題を解決できる。

【選択図】 図 1

特願 2 0 0 3 - 0 2 9 7 2 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社